

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 02-010333

(43) Date of publication of application : 16.01.1990

(51) Int.CI. G02F 1/136
H01L 27/04
H01L 27/12

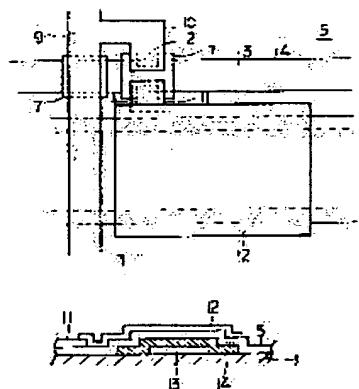
(21) Application number : 63-161207

(71) Applicant : SHARP CORP

(22) Date of filing : 29.06.1988

(72) Inventor : HIBINO YOSHITAKA
HIROBE TOSHIHIKO
FUKAMI SEIJI

(54) ACTIVE LIQUID CRYSTAL DISPLAY DEVICE



(57) Abstract:

PURPOSE: To suppress the grain roughening of the border surface between an additional capacity electrode and a dielectric film and to improve the dielectric strength by using a film which consists principally of a two-layered silicon nitride material differing film formation condition as the dielectric film of the additional capacity element.

CONSTITUTION: A gate electrode 2 and a gate path bar electrode 3 are formed on a substrate 1 and anode-oxidized to form a lower gate insulating film 4 of tantalum oxide. Then the additional capacity Cs electrode 13 made of a transparent conductive film and a Cs bus bar are formed by sputtering and photoetching and a lower dielectric film 14 is formed of a silicon nitride film covering said electrode and bar completely. The film formation temperature of the lower dielectric film 14 made of the low-temperature

silicon nitride film is set to 250°C and the film formation temperature of an upper dielectric film 5 made of high-temperature silicon nitride film is set to 350°C. Thus, the grain roughening of the border surface between the additional capacity electrode and dielectric film is suppressed to increase the dielectric strength.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-10333

⑬ Int.Cl.⁶G 02 F 1/136
H 01 L 27/04
27/12

識別記号

5 0 0
C
A

庁内整理番号

7370-2H
7514-5F
7514-5F

⑭ 公開 平成2年(1990)1月16日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 アクティブ型液晶表示素子

⑯ 特願 昭63-161207

⑯ 出願 昭63(1988)6月29日

⑰ 発明者 日比野 吉高 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑰ 発明者 広部 俊彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑰ 発明者 深見 誠司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑰ 出願人 シャープ株式会社

⑰ 代理人 弁理士 杉山 紇至 外1名

明細書

1. 発明の名称

アクティブ型液晶表示素子

2. 特許請求の範囲

液晶セル基板上に、ゲート電極、半導体膜、ソース電極及びドレイン電極を有する薄膜トランジスタと、該薄膜トランジスタに並設された付加容量素子と、前記ドレイン電極に連結された絶縁電極とを配列してなるアクティブ型液晶表示素子において、前記付加容量素子は1対の電極間に低温硬化膜と高温硬化膜の積層膜を介在して成ることを特徴とするアクティブ型液晶表示素子。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は、アクティブ型液晶表示素子の構造に関し、特に液晶を駆動するスイッチング素子に付加された付加容量素子の構造に関するものである。

<従来の技術>

近年、液晶等を用いて大量の情報を表示する

マトリックス液晶表示素子の各絶縁のスイッチング素子として薄膜トランジスタ(TFT)をガラス基板等の絶縁性基板上に配設したアクティブ型液晶表示素子が注目されている。

第6図は、従来のアクティブ型液晶表示素子の等価回路図であり、TFTのドレイン電極Dに液晶の各絶縁の容量C_{LC}と付加容量C_Sとが並列に接続されている。この付加容量C_SとTFTの部分平面図を第7図に、第7図のI-I線の断面図を第8図に、第7図のII-II線の断面図を第9図に示す。

以下、製造工程に従って説明する。液晶セル基板となるガラス基板1の上にスピッタリングにより、1000~4000Åのタンタル(Ta)薄膜を形成し、フォトエッチング等の手法によりゲート電極2及びゲート配線をパターン形成する。このゲート電極2およびゲート配線を陽極酸化して下部ゲート絶縁膜4を形成する。下部ゲート絶縁膜4を形成した後、スピッタリングとフォトエッチングとで透明導電膜(ITO)から成る付加容量

C_s の電極 1 3 及び付加容量バスバーを形成する。次に、これらの上に全面にわたってプラズマ CVD 法で、 $1000\text{~}5000\text{ \AA}$ 厚の塗化シリコンから成る上部ゲート絶縁膜 5、 $100\text{~}1000\text{ \AA}$ 厚のアモルファスシリコン ($a-Si$) 膜 6、および $1000\text{~}5000\text{ \AA}$ 厚の塗化シリコンから成る保護絶縁膜 7 をチャンバー内の真空を保ったまま連続的に堆積させる。更に、上記 $a-Si$ 膜 6 および保護絶縁膜 7 をマスクを用いたフォトエッチングでパターン化した後、これらの上に $100\text{~}1000\text{ \AA}$ 厚のリン (P) をドープした n^+-a-Si 膜 8 およびソース・ドレイン電極用金属膜を順次堆積させ、次いでマスクを用いたフォトエッチングでパターン化して、ソース配線 9、ソース電極 1 0 およびドレイン電極 1 1 を形成する。最後に、ドレイン電極 1 1 に接して ITO から成る絵素電極 1 2 を形成し、これによってゲート配線 3 とソース配線 9 の交差点毎に TFT、絵素電極 1 2 及び絵素電極 1 2 と付加容量用電極 1 3 の間で形成される付加容量素子がマトリックス状に配列された液晶セ

ル基板が製作される。この液晶セル基板と他方のセル基板間に液晶を封入してツイスト配向させることによりアクティブ型液晶表示素子が得られる。

＜発明が解決しようとする課題＞

付加容量素子付きの TFT 液晶表示素子において、この付加容量 C_s の電極 1 3 は ITO から成る透明電極を用い、誘電体膜としてゲート絶縁膜である高塗化膜（膜の形成温度がおよそ $300^\circ C$ 以上である）を使用した場合、このITO膜と塗化膜との界面に粒状の荒れが生じ、耐圧的な問題が発生しやすい。また、リーク不良が発生しやすい。この結果、ソース電極 1 0 - C_s 間や絵素電極 1 2 - C_s 間にリークや絶縁破壊が生じると、必然的にその該当するソース配線でライン欠陥が発生する。また絵素電極 1 2 - C_s 間の場合は、点欠陥が発生し、実使用に耐えない表示品位となり、TFT アレイの製造歩留りを大きく低下させることになる。

本発明はかかる課題を解決するためになされたもので、リークや点欠陥のないまた絶縁耐圧の高

い付加容量素子を有するアクティブ型液晶表示素子を提供することを目的とする。

＜課題を解決するための手段＞

この発明は、液晶セル基板に TFT と並設して形成される付加容量素子の誘電体膜として成膜条件の異なる塗化シリコン膜即ち低温塗化膜と高温塗化膜を主体とする積層膜を用いることを特徴としている。塗化シリコン膜の成膜温度としては $450^\circ C$ 以下最もしくは $350^\circ C$ 以下の温度で低温塗化膜を形成し、この膜の形成温度より高い温度で高温塗化膜を形成する。

このような構造の付加容量素子を有する液晶セル基板を用いて液晶セルを形成しツイスト配向された液晶を封入することによりアクティブ型液晶表示素子が構成される。

＜作用＞

この発明においては、付加容量 C_s の電極膜の成膜温度より低い温度範囲で低温塗化膜が成膜されることより、 C_s の電極膜と C_s の誘電体膜との界面に発生する粒状の荒れが抑制され、電極膜

あるいは誘電体膜の白濁化が防止される。また、ゲート絶縁膜と同じである高温塗化膜との積層膜構造にすることにより、電気的耐圧の向上及び点欠陥やリークが防止され、液晶表示素子の動作特性を向上させる。

＜実施例＞

第 1 図は、本発明の一実施例の説明に供する薄膜トランジスタアレイの部分平面図である。第 2 図は同図の I - I 線の断面図である。

第 1 図、第 2 図において、1 はセル基板となるガラス等の絶縁基板、2、3 はこの絶縁基板 1 上にスパッタリングとフォトエッチングにより形成されたゲート電極とゲートバスバー電極である。これらの電極には Ta 金属が用いられる。このゲート電極 2 及びゲートバスバー電極 3（各膜厚約 3000 \AA ）を酸化タンタルの下部ゲート絶縁膜 4（膜厚約 1000 \AA ）を形成する。下部ゲート絶縁膜 4 を形成した後、スパッタリングとフォトエッチングで ITO 膜から成る C_s 電極 1 3（膜厚約 2000 \AA ）及び C_s バスバー

を形成し、それを完全に覆う形でプラズマCVD法とフォトエッチングにより塗化シリコン膜から成る下部誘電体膜14を形成する。5, 6, 7はそれぞれ上部ゲート絶縁膜、アモルファスシリコン膜(a-Si膜)、保護絶縁膜(塗化膜)である。これらは、プラズマCVD法により、順次積層被膜され、マスクを用いたフォトエッチングでパターン化されたものである。8, 9, 10, 11は、これらの膜上に形成されたリンをドープした n^+ -a-Si膜(8)、Ti金属によるソースバスバー電極(9)、ソース電極(10)及びドレイン電極(11)である。これらの電極もスパッタリング(Ti膜の形成)とマスクを用いたフォトエッチングでパターン化される。12はこのドレイン電極11に接して形成されたITOから成る給電電極(対向電極)である。

付加容量素子における誘電体膜の形成条件の一実施例は次の通りである。プラズマCVD法を用い、各ガスの流量を、それぞれSiH₄:100cc, NH₃:150cc, N₂:1850ccとし、ガス圧

優れた、粒子の細かい膜となっている。

第3図に成膜温度と電気的耐圧との関係を示す。耐圧の測定は、面積2mm角のサンプルを用いて、(+)-Ti電極/SiN_x誘電体膜(下部3000Å、上部2000Å)/ITO(2000Å)(-)の構造を行った。この時のC_s電極13の成膜温度は300°Cであった。ITOの成膜温度と同じかまたはそれより低い温度で下部誘電体膜14を形成すると、ITO膜や誘電体膜に白濁現象や粒子荒れのない優れた液晶表示素子が得られた。この理由は、成膜温度が低いため、膜成長時に下地のITO膜の分解が少なく、またそれにもとづく分解In原子の誘電体膜への移行現象が少なくなるためと考えられる。

第4図、第5図に付加容量素子の誘電体14, 5の膜厚を変化させた場合の効果を示す。第4図の斜線付棒グラフ(A)は、誘電体膜の形成温度を350°Cとし、1層構造で膜厚5000Åとした場合の耐圧分布データを示している。100V位の耐圧しかしない結果になっている。一方、同図白

力130Pa(パスカル)、高周波電力800Wの条件下で、低温塗化シリコン膜から成る下部誘電体膜14の成膜温度を250°Cとし、高温塗化シリコン膜から成る上部誘電体膜5(ゲート絶縁膜と同一)の成膜温度を350°Cとした。各膜厚は、下部誘電体膜14が2000~4000Å、上部誘電体膜5が1000~4000Å、2層の膜厚は3000~8000Åである。その結果、耐圧の優れた液晶表示素子が得られた。この時の各誘電体膜14, 5の特性を表1に示す。

表 1

	誘電率(ε)	エッチングレート
下部誘電体膜14	6.9	18.0(A/S)
上部誘電体膜5	7.1	2.0

この時のエッチング液の組成は、BHF液(50%HF:40%NH₄F=1:10)であり、室温で行なう。表1から示されるように、下部誘電体膜14は上部誘電体膜5に較べて軟らかく、下地膜(この場合ITO膜)のカバーリング特性の

地の棒グラフ(B)は、下部誘電体膜14を形成温度250°Cで膜厚3000Åとしその上に上部誘電体膜5を形成温度350°Cで膜厚2000Å積層した2層膜構造(合計膜厚5000Å)とした場合の耐圧分布データを示している。同じ膜厚であっても、1層構造に較べて耐圧分布が大幅に改善されたことを示している。

第6図は2層構造膜で誘電体14, 5の膜厚をさらに増加させた場合の結果である。下部誘電体膜14を形成温度250°C、膜厚4000Åとし、上部誘電体膜5として温度350°C、膜厚3500Å、2層の合計膜厚を7500Åとした場合の耐圧分布データを示している。2層の膜厚5000Åの場合に較べ更に耐圧が向上し、またリーグも減少する結果となっている。

<発明の効果>

本発明は以上詳細に説明したとおり、付加容量素子の誘電体膜として成膜条件の異なる2層の塗化シリコン材料を主体とする膜を用いることにより、C_s電極と誘電体膜との界面の粒子荒れが抑

制され、耐圧的にも十分満足できる値が得られる効果がある。

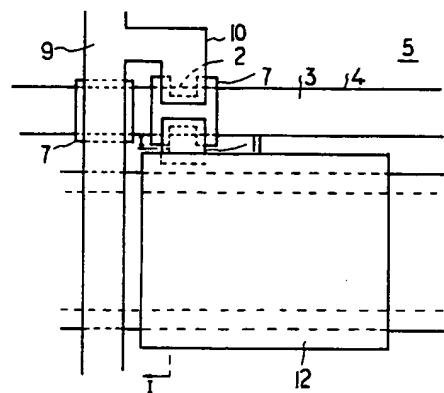
4. 図面の簡単な説明

第1図は本発明の一実施例による薄膜トランジスタを用いたアクティブ型液晶表示素子の部分平面図、第2図は第1図I—I線の断面構造図、第3図は第1図II—II線の断面構造図、第4図は付加容量の勝電体膜の成膜温度と電気的耐圧との関係を示す説明図、第5図は勝電体膜の1層構造および2層構造の場合の耐圧分布を示す説明図、第6図は勝電体膜の膜厚を増加させた場合の耐圧分布を示す説明図、第7図は従来のアクティブ型液晶表示素子の等価回路図、第8図は第7図のII—II線の断面構造図、第9図は第7図のI—I線の断面構造図である。

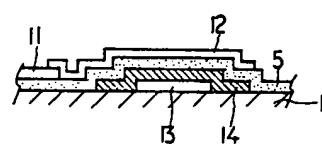
図において、1はガラス等の絶縁基板、2はタンタルゲート電極、3はゲートバスバー、4はゲート絶縁膜(陽極酸化膜)、5はゲート絶縁膜(上部勝電体膜)、6はアモルファスシリコン

($a-Si$)膜、7は保護絶縁膜、8は $n^+ - a-Si$ 膜、9はソースバスバー、10はソース電極、11はドレイン電極、12は給素電極(I TO膜)、13は C_S 電極、14は下部勝電体膜である。

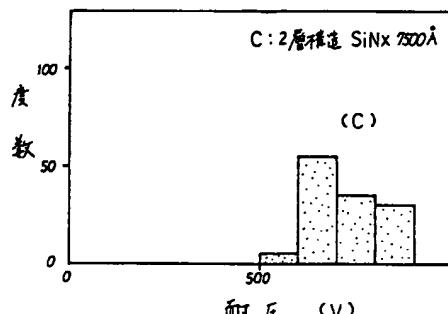
代理人 弁理士 杉山毅至(他1名)



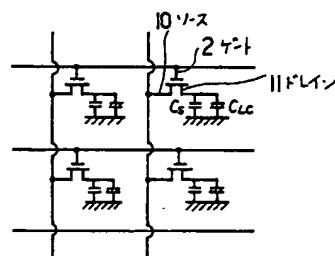
第1図



第2図



第5図



第6図

